

⑫ 公開特許公報(A)

平4-124854

⑤ Int. Cl.⁵H 01 L 21/76
21/265
21/338
29/812

識別記号

R

庁内整理番号

9169-4M

③ 公開 平成4年(1992)4月24日

7735-4M H 01 L 29/80
7738-4M 21/265B
C

審査請求 未請求 請求項の数 1 (全4頁)

④ 発明の名称 半導体装置の製造方法

⑪ 特 願 平2-243925

⑫ 出 願 平2(1990)9月17日

⑬ 発 明 者 井 村 公 彦 埼玉県戸田市新曽南3丁目17番35号 日本鉱業株式会社内

⑭ 出 願 人 日本鉱業株式会社 東京都港区虎ノ門2丁目10番1号

⑮ 代 理 人 弁理士 三好 秀和 外1名

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

(a) 実質的に絶縁性であるGaAs半導体からなる基板上にn型GaAsを含む半導体からなる活性層を形成する工程、

(b) 前記活性層表面から該活性層の深さの2.5倍以上の深さに当該活性層のキャリア濃度の1/10以下のホウ素イオンをイオン注入する工程

を有することを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、半導体装置の製造方法に関し、特にGaAsを用いた半導体基板上に素子間等分離用の高低抗層を形成する方法に関する。

〔従来の技術〕

GaAsを用いた半導体基板上に複数個の素子

等を構成する場合、素子間又は素子内の電気的な分離構造が必要とされる。特に、半絶縁性のGaAs基板上の全面に、活性層をエピタキシャル成長法で形成した場合、その分離構造としては、例えば、次の①又は②の構造がとられている。

① 活性層をメサエッチングしてメサ構造により電気的に分離する。

② イオン注入により、活性層の所望領域に高低抗層を形成する。

上記①及び②の両分離構造を比べると、②の構造の方が表面が平坦でプレーナ構造となるので、一般に、高集積化及び複雑な構造に有利と考えられている。

従来、この②の分離構造を実現するための高低抗層の形成方法としては、活性層表面から、その活性層の深さの2倍位の深さに、活性層のキャリア濃度の1/10程度のドーズ量(注入量)のH⁺、B⁺、O⁺等のイオンをイオン注入することが行われている(後井、大畑、信学技報 ED 89-91, p 25)。

〔発明が解決しようとする課題〕

上記②の分離構造を実現するための従来方法で形成された高抵抗層は、低い電界強度では高い抵抗率を示すが、高い電界強度では抵抗率が低下してしまう。このため、高集積化等により電極間（素子間）距離を短かくし、又は高出力化等により印加電圧を高くすることができず、素子間又は素子内の電氣的分離用として不十分であるという問題があった。

そこで、この発明は、高い電界を印加しても十分に素子間等の分離が可能な高抵抗層を基板上に得ることができる半導体装置の製造方法を提供することを目的とする。

〔課題を解決するための手段〕

この発明は上記課題を解決するために、(a)実質的に絶縁性であるGaAs半導体からなる基板上にn型GaAsを含む半導体からなる活性層を形成する工程、(b)前記活性層表面から該活性層の深さの2.5倍以上の深さに当該活性層のキャリア濃度の1/10以下のホウ素イオンをイオン注入

c : 空間電荷制限領域

に分けられる。オーミック領域aの電流Iohmは、有効電流経路をd（第2図参照）とすると次式で表わされる。

$$I_{ohm} = q \cdot n_0 \cdot \mu_0 \cdot V / d \quad \dots (1)$$

ここに

q : 電荷素量

n_0 : 高抵抗層の平衡キャリア濃度

μ_0 : 高抵抗層の電子移動度

V : 印加電圧

なお、第2図中、1は半絶縁性GaAs基板、2は活性層、3は特性評価用のオーミック電極、4が高抵抗層である。

また、オーミック領域aとトラップ充填領域bの境界電圧Vcは次式で表わされる。

$$V_c = (q \cdot N_t / 2e) \cdot d^2 \quad \dots (2)$$

ここに、

N_t : トラップ濃度

e : 誘電率

形成された高抵抗層に高い電界を印加しても所

する工程を有することを要旨とする。

なお、活性層の深さは、その表面から当該活性層の最大キャリア濃度に対し1/eまで低下したキャリア濃度点（表面から深い側の当該キャリア濃度点）までの深さを指し、そのeの値は、当該活性層がイオン注入法又はエピタキシャル成長法等の形成法の別によりe=2~10の値に選ばれる。また、一般に、活性層のキャリア濃度は単位体積当たりで表わされ、イオン注入量は単位面積当たりで表わされるため、活性層のキャリア濃度の1/10以下のイオン注入量とは、活性層のキャリア濃度を、その表面から上述の活性層の深さまで積分した量の1/10以下のイオン量を指す。

〔作用〕

活性層にホウ素イオンがイオン注入されると、そのイオン注入で形成されるキャリアトラップにより注入領域が高抵抗化する。この場合の高抵抗層の導電機構は、第1図に示すように、

a : オーミック領域

b : トラップ充填領域

要の高い抵抗率を得るためにはIohmが小さく境界電圧Vcが大きいことが必要である。このためには有効電流経路dを大、即ち、イオンの注入深さ（イオンの侵入距離RP）を大にすることが必要である。イオンの侵入距離RPを活性層の深さの2.5倍以上にすると境界電圧Vcは従来技術に比べて約2倍程度以上となることが判明し、イオンの注入深さを活性層の2.5倍以上とすることにより高抵抗層に高い電界を印加しても所要の高い抵抗率を得ることが可能となる。活性層が厚い場合、その2.5倍以上の注入深さとするため、高エネルギーでイオン注入すると活性層表面のダメージが増して表面リークが増えることが懸念される。この場合は多重注入を用いることで解決が可能である。一方、イオン注入量が大きくなり過ぎると、活性層表面のダメージが増し、オーミック領域aでの電気抵抗が低下してリーク電流が増える。イオン注入量の増加とともにリーク電流が増加し始めるのは、およそホウ素イオンの濃度が活性層のキャリア濃度の1/10を超える付

近である。このため注入するホウ素イオンの注入量は活性層のキャリア濃度の $1/10$ 以下に抑えられる。以上のように、活性層表面からその活性層の深さの2.5倍以上の深さに、当該活性層のキャリア濃度の $1/10$ 以下のホウ素イオンをイオン注入することにより、形成された高抵抗層に高い電界を印加しても所要の高い抵抗率が得られて十分に素子間等の分離が可能となる。

【実施例】

以下、この発明の実施例を図面を参照して説明する。

第3図(A)に示すように、半絶縁性GaAs基板1の一主面に 2.9×10^{12} イオンをイオン注入してn型の活性層2を形成する。イオン注入の条件は、加速電圧100keV、ドーズ量 $5 \times 10^{12}/\text{cm}^2$ とし、イオン注入後アニールを施した。この条件で得た活性層2の深さは850Åである。活性層2の表面には形成する高抵抗層の電気的特性評価のため、2μmの間隔をおいて1対のオーミック電極3を形成した。

2100Å以上にすると、リーク電流は 1.0×10^{-7} A程度以下に減少して実用に供し得る値まで減少し、ほぼ3倍以上である2900Å以上にするとリーク電流は 2×10^{-8} A程度となって飽和する。

この実施例から、活性層2の表面からその活性層2の深さの2.5倍以上の深さに、当該活性層のキャリア濃度の $1/10$ 以下の 1.1×10^{12} イオンをイオン注入することにより、高い電界を印加しても十分に素子間等の分離が可能な高抵抗層4がGaAs基板1上に得られることが分る。

【発明の効果】

以上説明したように、この発明によれば、活性層表面からその活性層の深さの2.5倍以上の深さに、当該活性層のキャリア濃度の $1/10$ 以下のホウ素イオンをイオン注入するようにしたため、高い電界を印加してもリーク電流が少なく十分に素子間等の分離が可能な高抵抗層を基板上に形成することができる。

4. 図面の簡単な説明

次いで、オーミック電極3をマスクとして活性層2に 1.1×10^{12} イオンをイオン注入して高抵抗層4を形成する(第3図(B))。イオン注入の条件は、ドーズ量 $4 \times 10^{12}/\text{cm}^2$ で、加速電圧は特性評価の目的で50~160keVの間で可変した。加速電圧160keVで、イオンの注入深さは活性層2の深さの2.5倍以上となる。

第4図は、上記のようにして形成した試料について境界電圧Vcの加速電圧依存性の測定結果を示している。従来技術における加速電圧はせいぜい100keVである。これに対し、加速電圧160keVでイオン注入してイオン注入の深さを活性層2の深さの2.5倍以上とすると、境界電圧Vcは従来技術の約2.5倍になることが分る。

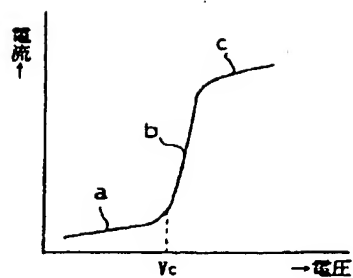
また、第5図は、イオン注入の深さとオーミック電極3、3間のリーク電流との関係の測定結果を示している。印加電界は10V/2μmである。測定結果は、活性層2の深さ850Åに対し、イオン注入の深さをそのほぼ2.5倍である

第1図及び第2図はこの発明に係る半導体装置の製造方法で形成される高抵抗層の特性を説明するためのもので、第1図は導電機構を説明するための印加電圧対電流特性を示す特性図、第2図は有効電流経路を説明するための縦断面図、第3図ないし第5図はこの発明の実施例を説明するためのもので、第3図は高抵抗層の形成工程を説明するための工程図、第4図は形成された高抵抗層における境界電圧の加速電圧依存性を示す特性図、第5図はイオン注入の深さと高抵抗層のリーク電流との関係を示す特性図である。

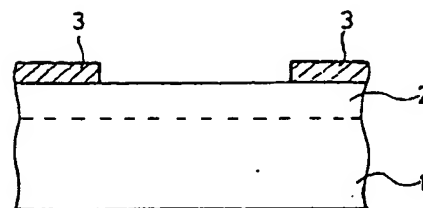
1: 半絶縁性GaAs基板、

2: 活性層、 4: 高抵抗層。

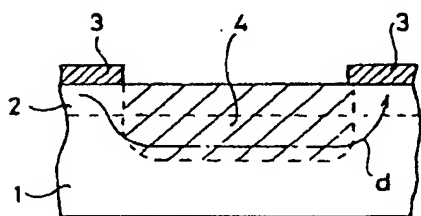
代理人弁理士 三好秀和



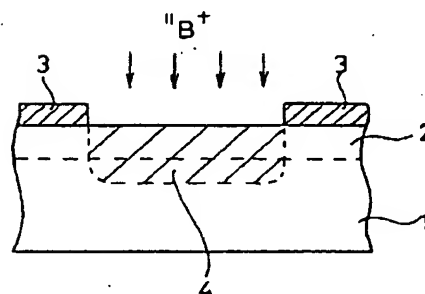
第 1 図



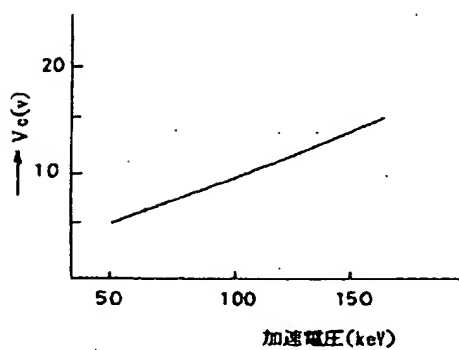
第 3 図 (A)



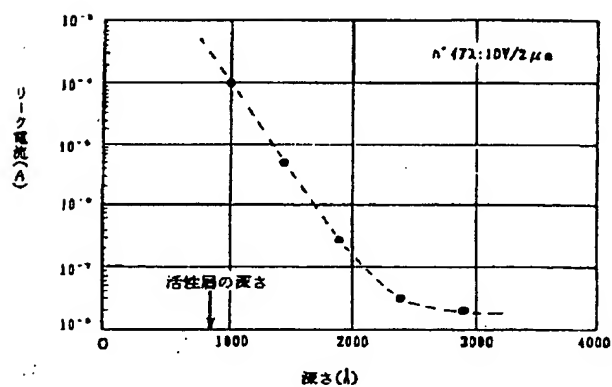
第 2 図



第 3 図 (B)



第 4 図



第 5 図